

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-207038  
 (43)Date of publication of application : 28.07.2000

(51)Int.CI. G05F 1/56

(21)Application number : 11-006009 (71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 13.01.1999 (72)Inventor : ARAI KAZUHIKO  
 HAMA KOSUKE  
 AKITA SHINICHI

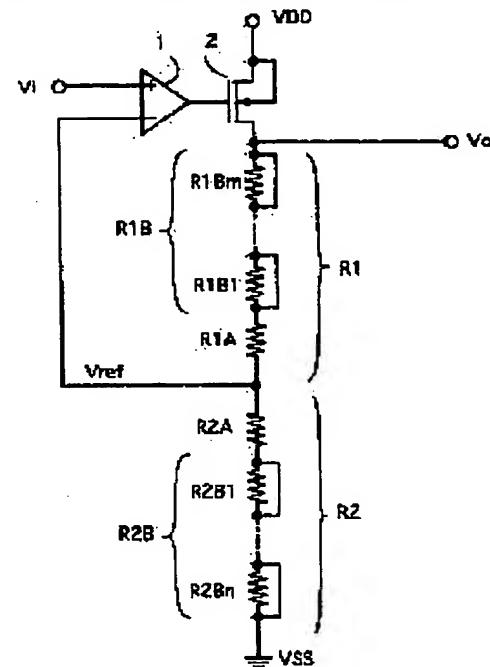
## (54) RESISTANCE DETERMINING METHOD FOR CONSTANT VOLTAGE OUTPUT CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To decrease the number of resistors with short-circuit wires which are used by making a return to a step wherein two pieces of data are selected so that only data of the best evaluated value obtained by comparing the evaluated values of all pieces of data with a specific value is left and repeatedly determining them.

**SOLUTION:** Resistors R1B with short-circuit wires are used as a specific number of resistors R1Bm and R1B1 of a resistor group R1 on the side of a power terminal between resistor groups R1 and R2, search ranges which are different by the resistors R1B with the short-circuit wires are determined, and different pieces of data determining the resistance of the resistors R1B with the short-circuit wires within the ranges are generated.

Those data are used and given evaluated values according to differences from a target output voltage when an output voltage Vo is obtained and the evaluated values are all compared with the specific value to select and determine two pieces of data except only the data having the best evaluated value.



## LEGAL STATUS

[Date of request for examination] 05.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The resistance group which consists of two or more resistance by which series connection was carried out between the transistor for an output, and one [ the output terminal side of this transistor, and ] power supply terminal, In the constant-voltage output circuit possessing the error amplifier which inputs the electrical potential difference of the predetermined node of this resistance group, amplifies the error voltage as compared with another input signal, and is outputted to said transistor Resistance of the predetermined number of the near resistance group of said power supply terminal of said resistance groups is considered as resistance with short circuit wiring. Two or more different data which determined that the resistance of each resistance with short circuit wiring will go into the range of texture \*\*\*\* retrieval range which is different for (1). each resistance with short circuit wiring of every in the resistance of this the resistance with short circuit wiring of each are created. By attaching an evaluation value to this each data from an error with the target output voltage when obtaining output voltage using this each data The step which creates two or more data with an evaluation value, the step which chooses two data in the data of the (2). aforementioned plurality, (3) The decussation permutation of the resistance of specific one or more with short circuit wiring of two selected data this [ . ] is carried out. The step which attaches the evaluation value same about the data obtained by this decussation permutation as the above, and is used as new data, According to a mutation probability, are retrieval within the limits of the resistance concerned, and one resistance of one [ at least ] data of two new data is permuted by another resistance. (4) . -- this -- The step which attaches the evaluation value same about the permuted this data as the above, and is used as new data, (5) -- the step which leaves only the data of the evaluation value made superior in the evaluation value of all the data obtained until now [ . ] as compared with the predetermined value, and repeats return and this to the step of the above (2), and the resistance decision approach characterized by making it come out and determine.

[Claim 2] The resistance decision approach according to claim 1 characterized by choosing the data of the evaluation value beyond a predetermined value by the high probability at the step of the above (2).

---

[Translation done.]

## \* NOTICES \*

- JPO and NCIPI are not responsible for any damages caused by the use of this translation.
- 1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] the resistance of the division resistance for this invention relating to the constant-voltage output circuit which enabled it to set up two or more output voltage which should be outputted alternatively, especially setting up two or more output voltage -- a short period of time -- precision -- it is related with the resistance decision approach it enabled it to determine highly.

#### [0002]

[Description of the Prior Art] The constant-voltage output circuit (voltage regulator) incorporated in a semiconductor integrated circuit is constituted as shown in (a) of drawing 8. As for an operational amplifier and 2, the MOS transistor of a p channel, and R1 and R2 is [ 1 ] resistance. When the electrical potential difference of the common node of resistance R1 and R2 is set to Vref in this circuit, output voltage Vo is  $Vo=Vref(1+R1/R2)$ . It is expressed with (1).

[0003] Adjusting this output voltage Vo after manufacture of a semiconductor integrated circuit by usual is performed. Namely, resistance R1 is divided and constituted in resistance R1A and resistance R1 with short circuit wiring B (two or more [ this resistance R1B / Usually ]). Moreover, resistance R2 is divided and constituted in resistance R2A and resistance R2B with short circuit wiring (two or more [ this resistance R2B / Usually ]). When determining only by resistance R1A of immobilization of the reference value of output voltage Vo, and R2A and making that output voltage Vo higher than this reference value, laser etc. cuts short circuit wiring of R1B, and the resistance of R1 is increased. When making it low, short circuit wiring of R2B is cut similarly, and it is adjusting so that the resistance of R2 may be increased.

[0004] Although what is necessary is just to make the number of the above-mentioned resistance R1B with short circuit wiring, and R2Bs increase in order to enable it to adjust output voltage Vo in the large range at this time, when this is performed without limits, increase of a chip area will be caused.

[0005] then, it is shown in (b) of drawing 8 -- as -- resistance R1A and R2A -- two each -- dividing -- the output port of an electrical potential difference Vref -- from \*\*, \*\*, or \*\* -- choosing -- the reference value of output voltage Vo -- a coarse control -- it can do -- making -- with short circuit wiring -- if it enables it to tune finely by short circuit wiring disconnection of resistance R1B and R2B, it is avoidable that a chip area increases recklessly.

[0006] At this time, about resistance R1B for fine tuning, and R2B, first resistance R1B by the side of a transistor Since it has the relation which output voltage Vo fluctuates in proportion to the increase and decrease so that clearly from said formula (1) When carrying out increase and decrease of the output voltage Vo of adjustment at a fixed rate within limits higher than a reference value Since the division number and each of its resistance of resistance R1B can be easily determined as for any of \*\* - \*\* and adjustment of the output voltage Vo can always do the output port of an electrical potential difference Vref in the pitch of immobilization, an adjustment setup of the output voltage Vo can be carried out in a high precision.

#### [0007]

[Problem(s) to be Solved by the Invention] however -- since in the case of resistance R2B of

the earth side it has the relation which output voltage  $V_o$  fluctuates in inverse proportion to the increase and decrease so that clearly from said formula (1) -- the case of resistance  $R1B$  by the side of a transistor -- differing -- the electrical potential difference of hope of output voltage  $V_o$  by within the limits lower than a reference value -- precision -- it enables it to adjust highly -- being alike -- a setup of each resistance is difficult.

[0008] if the number of partitions of this resistance  $R2B$  is enlarged -- the electrical potential difference of to some extent hope -- precision -- although it becomes possible to adjust highly, if it does in this way, while causing said chip area increase carried out, an adjustment part increases and increase of test cost is caused.

[0009] So, at the former, resistance was calculated by count in the procedure as shown below, and reducing the number of resistance  $R2Bs$  was performed by making precision of adjustment in the electrical-potential-difference range lower than a reference value into a sacrifice to some extent.

[0010] (11) Two or more output voltage (lower than a reference value) of . target is set up.

(12) The number of . resistance  $R2Bs$  is determined.

(13) The allowable error over the target output voltage set up by (11) of each output voltage (lower than a reference value) obtained by carrying out . adjustment is set up.

(14) The resistance of each resistance which determined the number by . (12) is set up roughly.

(15) Each output voltage when using each resistance set up by . (14) is calculated, and an error with each target output voltage set up by (11) is computed.

(16) Processing of (14) and (15) is repeated until the error acquired by . (15) falls within the range of the allowable error set up by (13).

[0011] For example, the point in the graph shown in drawing 9 by division of resistance  $R2B$  in order to enable it to tune output voltage finely by unit 1% from -1% to -30% of a reference value () It is necessary to calculate the number of partitions of resistance  $R2B$ , and the divided resistance of each resistance so that all the resistance of \*\* and \* may be acquired.

[0012] At this drawing 9 , since the reference value of output voltage  $V_o$  is made into three kinds, 2.4V, 3.5V, and 5.0V, output voltage must be made to be obtained by unit 1% by only that one group that divided resistance  $R2B$  into plurality from -1% to -30% of each reference voltage.

[0013] As mentioned above, setting up the resistance of the resistance with [ two or more ] short circuit wiring which should be combined has the problem that where of the development cycle of a constant-voltage output circuit will delay even if it is necessary to perform the above-mentioned count [ long duration ] and uses a computer, and a compromise had to be reached at a certain amount of precision so that two or more output voltage to wish might be obtained in a high precision, without increasing the number of resistance  $R2Bs$  with short circuit wiring to be used not much.

[0014] The technical problem of this invention has few resistance with short circuit wiring to be used, and it is offering the resistance decision approach of a constant-voltage output circuit of having enabled it to set up resistance with high precision moreover for a short time.

[0015]

[Means for Solving the Problem] The 1st invention for solving the above-mentioned technical problem The transistor for an output, The resistance group which consists of two or more resistance by which series connection was carried out between one power supply terminals the output terminal side of this transistor, In the constant-voltage output circuit possessing the error amplifier which inputs the electrical potential difference of the predetermined node of this resistance group, amplifies the error voltage as compared with another input signal, and is outputted to said transistor Resistance of the predetermined number of the near resistance group of said power supply terminal of said resistance groups is considered as resistance with short circuit wiring. Two or more different data which determined that the resistance of each resistance with short circuit wiring will go into the range of texture \*\*\*\* retrieval range which is different for (1). each resistance with short circuit wiring of every in the resistance of this the resistance with short circuit wiring of each are created. By attaching an evaluation value to this each data from an error with the target output voltage when obtaining output voltage using this each data The step which creates two or more data with an evaluation value, the step which

chooses two data in the data of the (2). aforementioned plurality, (3) The decussation permutation of the resistance of specific one or more with short circuit wiring of two selected data this [ . ] is carried out. The step which attaches the evaluation value same about the data obtained by this decussation permutation as the above, and is used as new data, According to a mutation probability, are retrieval within the limits of the resistance concerned, and one resistance of one [ at least ] data of two new data is permuted by another resistance. (4) . -- this -- The step which attaches the evaluation value same about the permuted this data as the above, and is used as new data, (5) It constituted so that the step which leaves only the data of the evaluation value made superior in the evaluation value of all the data obtained until now [ . ] as compared with the predetermined value, and repeats return and this to the step of the above (2) might determine.

[0016] In the 1st invention, the 2nd invention is the step of the above (2) and was chosen by the probability for the data of the evaluation value beyond a predetermined value to be expensive.

[0017]

[Embodiment of the Invention] In this invention, the number of partitions of the above mentioned resistance R2B with short circuit wiring and the resistance of the resistance of each are decided using the view of a genetic algorithm. Hereafter, it explains to a detail. It is the constant-voltage output circuit which uses drawing 1 in the explanatory view of the genetic algorithm, and uses drawing 2 here. In drawing 2 , resistance R2B consists of n to R2B1 – R2Bn, and series connection is carried out by cutting the short circuit wiring. In addition, although resistance R1B consists of m pieces, in this invention, it is not directly related.

[0018] (1) The ensemble of . data ensemble creation \*\*\* and data is created. Each of this data calculates various output voltage using the resistance of n resistance R2Bs1 – R2Bn, and it, and consists of evaluation values eval based on an error with the target output voltage at the time. And only the numbers of arbitration are collected and let this data be a data ensemble. In drawing 1 , n= 8 and the number of data are five pieces. In addition, D0 is a format of data.

[0019] First, the resistance of each of that resistance R2B1 – R2B8 is R2B11 – R2B81, and the evaluation value of the 1st data D1 is eval-1. As for the 2nd data D2, each of that resistance of the evaluation value is eval-2 in R2B12 – R2B82. As for the 3rd data D3, each of that resistance of the evaluation value is eval-3 in R2B13 – R2B83. Each of that resistance of the evaluation value is eval-4 in R2B14 – R2B84, and, as for the 5th data D5, the 4th data D4 is [ each of that resistance of the evaluation value ] eval-5 in R2B15 – R2B85.

[0020] (2) Two data are chosen from . selection processing, next the data ensemble of five data D1-D5 at random. Here, the probability for data with a higher evaluation value to be chosen is made high. In drawing 1 , the data D1 and D3 of eval-1 and eval-3 are chosen for the evaluation value.

[0021] (3) . decussation processing, next decussation processing which replaces the resistance of resistance of some data chosen by the decussation probability by (2) are performed, and new data are created. The resistance location and range which are made to cross here are determined at random. In drawing 1 , about resistance R2B3 – R2B7, resistance R2B31 – R2B71, and resistance R2B33 – R2B73 are replaced, and new data D1' and D3' are created. And based on an error with those new data D1' and the target output voltage when calculating output voltage using D3', new evaluation value eval-1' and eval-3' are attached.

[0022] ( -- four -- ) . -- mutation -- processing -- next -- ( -- three -- ) -- obtaining -- having had -- evaluation -- a value -- eval - one -- ' -- data -- D -- one -- ' -- evaluation -- a value -- eval - three -- ' -- data -- D -- three -- ' -- receiving -- mutation -- a probability -- a part -- resistance -- resistance -- being another -- resistance -- random -- permuting -- making . In drawing 1 , resistance R2B23 of data D3' is permuted by R2B2x, and resistance R2B41 is permuted by R2B4x. And new evaluation value eval-3" is obtained based on an error with the target output voltage when calculating output voltage using the data after the permutation of this resistance, and this is made into new data D3."

[0023] ( -- five -- ) . -- selection -- processing -- next -- the above -- choosing -- having -- or -- obtaining -- having had -- data -- D -- one - D -- five -- D -- one -- ' -- D -- three -- ' -- D -- three -- " -- evaluation -- a value -- a predetermined value -- comparing -- data

with a low evaluation value -- canceling. In addition, in drawing 1, since it is easy, data D1' and D3" are made applicable to selection. It is made for the data which it is made for the high data of evaluation in the original ensemble (D1-D5) to remain unconditionally, and have the same value not to overlap at this time. And the high data of the evaluation which remained are repeated from selection processing of the above (2) as a next-generation data ensemble.

[0024] By repeating the above processing, finally data with a high evaluation value will remain, and the data of the division resistance for obtaining an electrical potential difference with few errors to a target electrical potential difference can be obtained.

[0025] In this processing, since the evaluation value eval is acquired based on the error over the desired value which the convergency of count improved and was beforehand decided since it carried out by preparing the combination of the resistance of resistance of n \*\*\*\*\* per data (the above eight pieces), the variation in a count result decreases.

[0026] In addition, the resistance of n resistance of per data determines beforehand the range of the value which each takes about the 1st to the n-th resistance ( drawing 1 R2B1 – R2B8), and even if it is the case where it is made to change at random by mutation processing, it is made to go into this range. It calculates so that it may become within the limits of \*\*several% of that reference value (for example, \*\*20%) by making 1/2 of resistance required in the case of the maximum adjustment width of face (for example, -30%), 1/4, 1/8, and ... into a reference value, but each range in this case is widely set as extent which does not overlap the range of the adjoining resistance, when a value is small and the range is too narrow.

[0027] Moreover, in order to clarify differentiation of the quality of data using the average value of the error of the count electrical potential difference to all target electrical potential differences (it contains also when reference voltages differ), it is made to lower evaluation about the evaluation value eval so gradually that the range of with error classified and an error become large.

[0028] Drawing 2 is drawing for explaining the resistance of the division resistance obtained by the above-mentioned technique.  $V_o=2.4V$ , and  $3.5V$  and  $5.0V$  are made into criteria output voltage.

[0029] In the circuit of drawing 2, if [ condition / ohm /  $V_{ref}=0.6V$  and /  $R1+R2A=10000K$  ]  $R1=7500Kohm$  at the time of  $V_o=2.4V$ , and  $R2A=2500Kohm$ , in order to obtain -30% of output voltage ( $V_o=1.68V$ ), it will be set to  $R2B=1666.67Kohm$  (theoretical value). Moreover, if  $R1=8285.71Kohm$  at the time of  $V_o=3.5V$ , and  $R2A=1714.29Kohm$ , it will be set to  $R2B=967.97Kohm$  (theoretical value) in order to obtain -30% of output voltage ( $V_o=2.45V$ ). Furthermore, if  $R1=8800Kohm$  at the time of  $V_o=5.0V$ , and  $R2A=1200Kohm$ , it will be set to  $R2B=620.69Kohm$  (theoretical value) in order to obtain -30% of output voltage ( $V_o=3.50V$ ).

[0030] Therefore, the -30 o'clock maximum resistance of resistance R2B is  $1666.67Kohm$ . One fourth to the reference value of R2B8 for one half of these resistance therefore, to the reference value of R2B7 one eighth -- the reference value of R2B6 --  $1/16$  -- the reference value of R2B5 --  $1/32$  -- the reference value of R2B4 --  $1/64$  to the reference value of R2B3, if  $1/128$  is made into the reference value of R2B2 and  $1/256$  is made into the reference value of R2B1 The reference value of those resistance R2Bs1 – R2B8 comes to be shown in drawing 3. And when \*\*20% of each [ these ] reference value is made into the retrieval range, the retrieval range also comes to be shown in drawing 3. In addition, this retrieval range is expanded to the range which does not lap with a next door in a place (for example, R2B1, R2B2) when that range becomes not much narrow.

[0031] 50 different data which suit the above conditions are created, a data ensemble is constituted, it calculates by computer by the program which created each data beforehand about -1% – -30% of each output voltage in  $V_o=2.4$ , and  $3.5V$  and  $5.0V$ , and an evaluation value is attached to each data based on the error of the count electrical potential difference to the target electrical potential difference at that time. Although there may be two or more errors acquired about one data, an evaluation value is attached based on the average with error.

[0032] Selection processing, decussation processing, mutation processing, and selection processing are performed by the technique shown in drawing 1, and it is made only for data with an evaluation value higher than a predetermined value to remain in the next generation

henceforth. It is better for becoming below a number with the data which remain, although this predetermined value may be made high one by one to avoid. Moreover, even if it repeats predetermined time, when the change more than predetermined does not appear, a mutation probability is enlarged and an accidental change is aimed at.

[0033] The resistance (decision value) of resistance R2B1 obtained as data with the highest evaluation value by the above algorithms – R2B8 was shown in the lower berth of drawing 3 .

[0034] Drawing 4 is drawing showing each value which calculated -1% – -30% of output voltage at the time of criteria output voltage  $V_o=2.4V$  at the time of using this decision value. About each output voltage  $V_o$ , O mark is put on the resistance used of division resistance R2B1 – R2Bs8. The error does not almost exist between the desired value of output voltage  $V_o$ , and program calculated value between the desired value of resistance R2 (=R2 A+R2B), and program calculated value.

[0035] Drawing 5 is drawing showing each value which calculated -1% – -30% of output voltage at the time of criteria output voltage  $V_o=3.5V$  at the time of using this decision value. Here, the error does not almost exist between the desired value of output voltage  $V_o$ , and program calculated value between the desired value of resistance R2, and program calculated value.

[0036] Drawing 6 is drawing showing each value which calculated -1% – -30% of output voltage at the time of criteria output voltage  $V_o=5.0V$  at the time of using this decision value. Here, the error does not almost exist between the desired value of output voltage  $V_o$ , and program calculated value between the desired value of resistance R2 (=R2 A+R2B), and program calculated value.

[0037] Drawing 7 compares 0 – 0.05% of range, 0.06 – 0.10% of range, 0.11 – 0.15% of range, 0.16 – 0.20% of range, 0.21 – 0.25% of range, 0.26 – 0.30% of range, and 0.31% or more of range about the number of the errors of the time of deciding the resistance of resistance R2B1 – R2B8 with the conventional manual, and the output voltage  $V_o$  when deciding by the technique of the hereditary program of this invention. The number of relevance in the range of with error where the direction in the case of being based on this invention is big has decreased. In addition, it can also consider as the evaluation value which described above distinction of the range of this error.

[0038] In addition, in the above, mutation processing may be similarly performed about data D1' only to data D3' in drawing 1. Moreover, in the circuit of drawing 2 , although resistance is connected between an output terminal and Touch-down VSS, even when connecting between power sources VDD, it can determine similarly.

[0039]

[Effect of the Invention] As mentioned above, since the resistance is determined that resistance with a precision high about each resistance will remain by the genetic algorithm according to this invention, compared with the case where the resistance is determined, there is an advantage that highly precise resistance can be determined for a short period of time, changing and applying a trial-and-error method to resistance each time.

---

[Translation done.]

[Back to original](#)

[JP,2000-207038,A]

**1. Amendment July 7, Heisei 17 (2005)****\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CORRECTION OR AMENDMENT**

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law

[Section partition] The 3rd partition of the 6th section

[Publication date] July 7, Heisei 17 (2005. 7.7)

[Publication No.] JP,2000-207038,A (P2000-207038A)

[Date of Publication] July 28, Heisei 12 (2000. 7.28)

[Application number] Japanese Patent Application No. 11-6009

[The 7th edition of International Patent Classification]

G05F 1/56

[F1]

G05F 1/56 310 L

[Procedure revision]

[Filing Date] November 5, Heisei 16 (2004. 11.5)

[Procedure amendment 1]

[Document to be Amended] Specification

[Item(s) to be Amended] Claim

[Method of Amendment] Modification

[The contents of amendment]

[Claim(s)]

[Claim 1]

In the constant-voltage output circuit possessing the resistance group which consists of two or more resistance by which series connection was carried out between the transistor for an output, and one [ the output terminal side of this transistor, and ] power supply terminal, and the error amplifier which inputs the electrical potential difference of the predetermined node of this resistance group, amplifies the error voltage as compared with another input signal, and is outputted to said transistor,

Resistance of the predetermined number of the near resistance group of said power supply

**\* NOTICES \***

- JPO and NCIPI are not responsible for any damages caused by the use of this translation.
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the explanatory view of the genetic algorithm of this invention.

[Drawing 2] It is the circuit diagram of the constant-voltage output circuit which applies this invention.

[Drawing 3] It is the explanatory view of the resistance determined by the genetic algorithm of this invention.

[Drawing 4] When criteria output voltage is 2.4V and the resistance determined by drawing 3 is used, it is the explanatory view showing each value.

[Drawing 5] When criteria output voltage is 3.5V and the resistance determined by drawing 3 is used, it is the explanatory view showing each value.

[Drawing 6] When criteria output voltage is 5.0V and the resistance determined by drawing 3 is used, it is the explanatory view showing each value.

[Drawing 7] It is a comparison explanatory view at the error in the case of being based on the case where it is based on this invention, and the conventional manual.

[Drawing 8] It is the circuit diagram of a constant-voltage output circuit.

[Drawing 9] It is the property Fig. of the resistance value change of resistance R2B when changing three sorts of criteria output voltage -1% to -30%.

---

[Translation done.]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-207038

(P2000-207038A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl.<sup>7</sup>

G 05 F 1/56

識別記号

310

F I

G 05 F 1/56

テーマコード(参考)

310 L 5H430

## 【特許請求の範囲】

【請求項1】出力用のトランジスタと、該トランジスタの出力端子側と一方の電源端子との間に直列接続された複数の抵抗からなる抵抗群と、該抵抗群の所定の接続点の電圧を入力して別の入力信号と比較しその誤差電圧を増幅して前記トランジスタに出力する誤差増幅器とを具備する定電圧出力回路において、

前記抵抗群のうちの前記電源端子の側の抵抗群の所定数の抵抗を短絡配線付き抵抗として、該各短絡配線付き抵抗の抵抗値を、

(1). 各短絡配線付き抵抗毎に異なる探索範囲をきめてその範囲に入るよう各短絡配線付き抵抗の抵抗値を決定した異なる複数のデータを作成し、該各データを使用して出力電圧を得たときの目標出力電圧との誤差から該各データに評価値を付けることにより、評価値付きの複数データを作成するステップ、

(2). 前記複数のデータのうちの2個のデータを選択するステップ、

(3). 該選択した2個のデータのうちの特定の1以上の短絡配線付き抵抗の抵抗値を交叉置換し、該交叉置換により得られたデータについて前記と同様の評価値を付け新たなデータとするステップ、

(4). 該新たな2個のデータの少なくとも一方のデータのいずれかの抵抗値を突然変異確率により当該抵抗値の探索範囲内で別の抵抗値に置換して、該置換したデータについて前記と同様な評価値を付け新たなデータとするステップ、

(5). 今までに得られた全てのデータの評価値を所定値と比較して優良とされた評価値のデータのみを残して前記(2)のステップに戻り、これを繰り返すステップ、

で決定するようにしたことを特徴とする抵抗決定方法。

【請求項2】前記(2)のステップで、所定値以上の評価値のデータが高い確率で選択されるようにすることを特徴とする請求項1に記載の抵抗決定方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、選択的に出力すべき複数の出力電圧を設定できるようにした定電圧出力回路に係り、特に複数の出力電圧を設定するための分割抵抗の抵抗値を短期間で精度高く決定できるようにした抵抗値決定方法に関するものである。

## 【0002】

【従来の技術】半導体集積回路内に組み込む定電圧出力回路(電圧レギュレータ)は、例えば図8の(a)に示すように構成されている。1は演算増幅器、2はpチャネルのMOSトランジスタ、R1、R2は抵抗である。この回路では、抵抗R1、R2の共通接続点の電圧をVrefとすると、出力電圧V<sub>o</sub>は、

$$V_o = V_{ref} \left( 1 + R1 / R2 \right) \quad (1)$$

で表される。

【0003】この出力電圧V<sub>o</sub>は、通常では半導体集積回路の製造後に調整することが行われる。すなわち、抵抗R1を抵抗R1Aと短絡配線付き抵抗R1B(通常この抵抗R1Bは複数個)に分割して構成し、また抵抗R2を抵抗R2Aと短絡配線付き抵抗R2B(通常この抵抗R2Bも複数個)に分割して構成しておいて、出力電圧V<sub>o</sub>の基準値を固定の抵抗R1A、R2Aのみで決定し、その出力電圧V<sub>o</sub>をこの基準値よりも高くするときはR1Bの短絡配線をレーザ等により切断してR1の抵抗値を増大させ、低くするときはR2Bの短絡配線を同様に切断してR2の抵抗値を増大させるよう調整している。

【0004】このとき、出力電圧V<sub>o</sub>を広い範囲で調整できるようにするためには、上記した短絡配線付きの抵抗R1B、R2Bの数を増加させればよいが、これを際限なく行うとチップ面積の増大を招くことになる。

【0005】そこで、図8の(b)に示すように抵抗R1A、R2Aを各々2個に分割して電圧Vrefの取り出し口を①、②、③のいずれかから選んで出力電圧V<sub>o</sub>の基準値を粗調整できるようにし、短絡配線付き抵抗R1B、R2Bの短絡配線開放で微調整できるようにすれば、むやみにチップ面積が増大することを回避できる。

【0006】このとき、微調整のための抵抗R1B、R2Bについて、まずトランジスタ側の抵抗R1Bは、前記式(1)から明らかなように、その増減に比例して出力電圧V<sub>o</sub>が増減する関係にあるので、その出力電圧V<sub>o</sub>を基準値よりも高い範囲内において一定の割合で増減調整する場合は、電圧Vrefの取り出し口を①～③のいずれにしても、抵抗R1Bの分割個数やその各抵抗値は容易に決定でき、常に固定のピッチでその出力電圧V<sub>o</sub>の調整ができるので、その出力電圧V<sub>o</sub>を高い精度で調整設定できる。

## 【0007】

【発明が解決しようとする課題】ところが、接地側の抵抗R2Bの場合は、前記式(1)から明らかなように、その増減に反比例して出力電圧V<sub>o</sub>が増減する関係にあるので、トランジスタ側の抵抗R1Bの場合とは異なって、出力電圧V<sub>o</sub>を基準値よりも低い範囲内で希望の電圧に精度高く調整できるようにするには、各々の抵抗値の設定が難しい。

【0008】この抵抗R2Bの分割数を大きくすればある程度希望の電圧に精度高く調整することが可能となるが、このようにすると前記したチップ面積増大を招くと共に、調整箇所が増加してテストコストの増大を招く。

【0009】そこで、従来では、次に示すような手順で抵抗値を計算により求め、基準値よりも低い電圧範囲での調整の精度をある程度犠牲にすることで、抵抗R2Bの数を減らすことが行われていた。

【0010】(11). 目標の複数の出力電圧(基準値より低い)を設定する。

(12). 抵抗R2Bの数を決定する。

(13). 調整して得られる各出力電圧（基準値より低い）の(11)で設定した目標出力電圧に対する許容誤差を設定する。

(14). (12)で数を決めた各抵抗の抵抗値を大まかに設定する。

(15). (14)で設定した各抵抗値を使用したときの各出力電圧を計算し、(11)で設定した各目標出力電圧との誤差を算出する。

(16). (15)により得た誤差が(13)で設定した許容誤差の範囲内に収まるまで、(14)と(15)の処理を繰り返す。

【0011】例えば、抵抗R2Bの分割により、出力電圧を基準値の-1%～-30%まで1%刻みで微調整できるようにするには、図9に示すグラフ中の点（▼、△、★）の全ての抵抗値が得られるように、抵抗R2Bの分割数や分割した各抵抗の抵抗値を計算する必要がある。

【0012】この図9では、出力電圧V<sub>o</sub>の基準値を2.4V、3.5V、5.0Vの3種類としているので、抵抗R2Bを複数個に分割したその1群のみによりそれぞれの基準電圧の-1%～-30%まで1%刻みで出力電圧が得られるようにしなければならない。

【0013】以上のように、使用する短絡配線付きの抵抗R2Bの数をあまり増加することなく、希望する複数の出力電圧が高い精度で得られるように、組み合わせるべき複数の短絡配線付きの抵抗の抵抗値を設定することは、上記計算を長時間に亘って行う必要があり、たとえコンピュータを使用したとしても、定電圧出力回路の開発期間が長期化するという問題があり、ある程度の精度で妥協せざるを得なかった。

【0014】本発明の課題は、使用する短絡配線付き抵抗の数が少なく、しかも抵抗値を短時間で高精度に設定できるようにした定電圧出力回路の抵抗決定方法を提供することである。

【0015】  
【課題を解決するための手段】上記課題を解決するための第1の発明は、出力用のトランジスタと、該トランジスタの出力端子側と一方の電源端子との間に直列接続された複数の抵抗からなる抵抗群と、該抵抗群の所定の接続点の電圧を入力して別の入力信号と比較しその誤差電圧を増幅して前記トランジスタに出力する誤差増幅器とを具備する定電圧出力回路において、前記抵抗群のうちの前記電源端子の側の抵抗群の所定数の抵抗を短絡配線付き抵抗として、該各短絡配線付き抵抗の抵抗値を、

(1). 各短絡配線付き抵抗毎に異なる探索範囲をきめてその範囲に入るよう各短絡配線付き抵抗の抵抗値を決定した異なる複数のデータを作成し、該各データを使用して出力電圧を得たときの目標出力電圧との誤差から該各データに評価値を付けることにより、評価値付きの複数データを作成するステップ、(2). 前記複数のデータ

のうちの2個のデータを選択するステップ、(3). 該選択した2個のデータのうちの特定の1以上の短絡配線付き抵抗の抵抗値を交叉置換し、該交叉置換により得られたデータについて前記と同様の評価値を付け新たなデータとするステップ、(4). 該新たな2個のデータの少なくとも一方のデータのいずれかの抵抗値を突然変異確率により当該抵抗値の探索範囲内で別の抵抗値に置換して、該置換したデータについて前記と同様な評価値を付け新たなデータとするステップ、(5). 今までに得られた全てのデータの評価値を所定値と比較して優良とされた評価値のデータのみを残して前記(2)のステップに戻り、これを繰り返すステップにより決定するよう構成した。

【0016】第2の発明は、第1の発明において、前記(2)のステップで、所定値以上の評価値のデータが高い確率で選択されるようにした。

#### 【0017】

【発明の実施の形態】本発明では、前記した短絡配線付きの抵抗R2Bの分割数とその各々の抵抗の抵抗値を、遺伝的アルゴリズムの考え方を利用して決めるものである。以下、詳細に説明する。図1はその遺伝的アルゴリズムの説明図、図2はここで使用する定電圧出力回路である。図2において、抵抗R2BはR2B1～R2Bnまでのn個で構成されており、その短絡配線をカットすることにより直列接続される。なお、抵抗R1Bはm個で構成されるが、本発明では直接関係ない。

#### 【0018】(1). データ集団作成

まず、データの集団を作成する。この各データは、n個の抵抗R2B1～R2Bnの抵抗値と、それを用いて各種出力電圧を計算したときの目標出力電圧との誤差に基づいた評価値evalとで構成される。そして、このデータを任意数だけ集めてデータ集団とする。図1では、n=8、データ数は5個である。なお、D0はデータのフォーマットである。

【0019】まず、第1のデータD1は、その各抵抗R2B1～R2B8の抵抗値がR2B11～R2B81で、その評価値はeval-1である。第2のデータD2はその各抵抗値がR2B12～R2B82でその評価値はeval-2であり、第3のデータD3はその各抵抗値がR2B13～R2B83でその評価値はeval-3であり、第4のデータD4はその各抵抗値がR2B14～R2B84でその評価値はeval-4であり、第5のデータD5はその各抵抗値がR2B15～R2B85でその評価値はeval-5である。

#### 【0020】(2). 選択処理

次に、5個のデータD1～D5のデータ集団から、ランダムに2個のデータを選択する。ここでは、評価値が高いデータほど選択される確率を高くなる。図1では、評価値がeval-1とeval-3のデータD1、D3が選択されている。

## 【0021】(3). 交叉処理

次に、交叉確率により(2)で選択されたデータ同士の一部の抵抗の抵抗値を入れ替える交叉処理を行い新たなデータを作成する。ここで交叉させる抵抗位置や範囲はランダムに決定する。図1では、抵抗R2B3～R2B7について、抵抗値R2B31～R2B71と抵抗値R2B33～R2B73を入れ替えて新たなデータD'1'、D'3'を作成している。そして、それらの新データD'1'、D'3'を使用して出力電圧を計算したときの目標出力電圧との誤差に基づき新たな評価値eval-1'、eval-3'を付ける。

## 【0022】(4). 突然変異処理

次に、(3)により得られた評価値eval-1'のデータD'1'、評価値eval-3'のデータD'3'に対して、突然変異確率により一部の抵抗の抵抗値を別の抵抗値にランダムに置換させる。図1では、データD'3'の抵抗値R2B23をR2B2xに、抵抗値R2B41をR2B4xに置換している。そして、この抵抗値の置換後のデータを使用して出力電圧を計算したときの目標出力電圧との誤差に基づき新たな評価値eval-3"を得、これを新たなデータD'3"とする。

## 【0023】(5). 淘汰処理

次に、以上により選択され、又は得られたデータD1～D5、D'1'、D'3'、D'3"の評価値を所定値と比較して、評価値の低いデータを破棄する。なお、図1では簡単のためデータD'1'とD'3"を淘汰対象としている。このとき、元の集団(D1～D5)の中で評価の高いデータは無条件に残るようにし、また同じ値を持つデータが重複しないようにする。そして、残った評価の高いデータを次世代のデータ集団として、前記(2)の選択処理から繰り返す。

【0024】以上の処理を繰り返すことにより、評価値の高いデータが最終的に残ることになり、目標電圧に対して誤差の少ない電圧を得るための分割抵抗値のデータを得ることができる。

【0025】この処理では、1データ当たり予め決まったn個(上記では8個)の抵抗の抵抗値の組み合わせを用意して行うので、計算の収束性が向上し、また予め決めた目標値に対する誤差に基づき評価値evalを得るので、計算結果のバラツキが少なくなる。

【0026】なお、1データ当たりのn個の抵抗の抵抗値は、1番目からn番目の抵抗(図1では、R2B1～R2B8)について、それぞれがとる値の範囲を予め決めておき、突然変異処理でランダムに変化させる場合であってもこの範囲に入るようとする。この場合の各範囲は、最大調整幅(例えば-30%)の場合に必要な抵抗値の、1/2、1/4、1/8、…を基準値としてその基準値の±数% (例えば±20%)の範囲内となるよう計算するが、値が小さく範囲が狭すぎる場合は隣接する抵抗値の範囲と重複しない程度に広く設定する。

【0027】また、評価値evalについては、全ての目標電圧(基準電圧が異なる場合も含む)に対する計算電圧の誤差の例えれば平均値を用い、データの良否の差別化をはつきりさせるため、誤差の範囲を区分けして誤差が大きくなるほど段階的に評価を下げるようとする。

【0028】図2は上記の手法によって得た分割抵抗の抵抗値を説明するための図である。V<sub>o</sub>=2.4V、3.5V、5.0Vを基準出力電圧としている。

【0029】図2の回路において、V<sub>ref</sub>=0.6V、R<sub>1</sub>+R<sub>2A</sub>=10000KΩを条件として、V<sub>o</sub>=2.4VのときのR<sub>1</sub>=7500KΩ、R<sub>2A</sub>=2500KΩとすると、-30%の出力電圧(V<sub>o</sub>=1.68V)を得るためにR<sub>2B</sub>=1666.67KΩ(理論値)となる。また、V<sub>o</sub>=3.5VのときのR<sub>1</sub>=8285.71KΩ、R<sub>2A</sub>=1714.29KΩとすると、-30%の出力電圧(V<sub>o</sub>=2.45V)を得るためにR<sub>2B</sub>=967.97KΩ(理論値)となる。さらに、V<sub>o</sub>=5.0VのときのR<sub>1</sub>=8800KΩ、R<sub>2A</sub>=1200KΩとすると、-30%の出力電圧(V<sub>o</sub>=3.50V)を得るためにR<sub>2B</sub>=620.69KΩ(理論値)となる。

【0030】したがって、-30%時の抵抗R<sub>2B</sub>の最大抵抗値は1666.67KΩである。よって、この抵抗値の1/2をR<sub>2B8</sub>の基準値に、1/4をR<sub>2B7</sub>の基準値に、1/8をR<sub>2B6</sub>の基準値に、1/16をR<sub>2B5</sub>の基準値に、1/32をR<sub>2B4</sub>の基準値に、1/64をR<sub>2B3</sub>の基準値に、1/128をR<sub>2B2</sub>の基準値に、1/256をR<sub>2B1</sub>の基準値にすると、それらの抵抗R<sub>2B1</sub>～R<sub>2B8</sub>の基準値は図3に示すようになる。そして、これら各基準値の±20%を探索範囲とすると、その探索範囲も図3に示すようになる。なお、この探索範囲はその範囲があまり狭くなるようなところ(例えば、R<sub>2B1</sub>、R<sub>2B2</sub>)では、隣と重ならない範囲まで拡大している。

【0031】以上のような条件にかなう異なったデータを50個作成してデータ集団を構成し、各データをV<sub>o</sub>=2.4、3.5V、5.0Vの場合の-1%～-30%の各出力電圧について予め作成したプログラムによりコンピュータで計算し、そのときの目標電圧に対する計算電圧の誤差に基づいて、各データに評価値を付ける。1個のデータについて得られる誤差は複数あり得るが、誤差の平均値に基づいて評価値を付ける。

【0032】以後は、図1に示した手法により選択処理、交叉処理、突然変異処理、淘汰処理を行い、評価値が所定値より高いデータのみが次世代に残るようになる。この所定値は順次高くてもよいが、残るデータがある数以下になることは避けたほうがよい。また、所定時間繰り返しても所定以上の変化が現れないようなときは、突然変異確率を大きくして偶然の変化を狙う。

【0033】以上のようなアルゴリズムにより最も評価値が高いデータとして得られた抵抗R<sub>2B1</sub>～R<sub>2B8</sub>の抵抗値(決定値)を図3の下段に示した。

【0034】図4はこの決定値を使用した場合の基準出

力電圧  $V_o = 2.4V$  のときの  $-1\% \sim -30\%$  の出力電圧を計算した各値を示す図である。各出力電圧  $V_o$  について、分割抵抗  $R_{2B1} \sim R_{2B8}$  のうちの使用する抵抗に○印を付いている。抵抗  $R_2$  ( $= R_{2A} + R_{2B}$ ) の目標値とプログラム計算値との間、出力電圧  $V_o$  の目標値とプログラム計算値との間で、その誤差はほとんどない。

【0035】図5はこの決定値を使用した場合の基準出力電圧  $V_o = 3.5V$  のときの  $-1\% \sim -30\%$  の出力電圧を計算した各値を示す図である。ここでも、抵抗  $R_2$  の目標値とプログラム計算値との間、出力電圧  $V_o$  の目標値とプログラム計算値との間で、その誤差はほとんどない。

【0036】図6はこの決定値を使用した場合の基準出力電圧  $V_o = 5.0V$  のときの  $-1\% \sim -30\%$  の出力電圧を計算した各値を示す図である。ここでも、抵抗  $R_2$  ( $= R_{2A} + R_{2B}$ ) の目標値とプログラム計算値との間、出力電圧  $V_o$  の目標値とプログラム計算値との間で、その誤差はほとんどない。

【0037】図7は抵抗  $R_{2B1} \sim R_{2B8}$  の抵抗値を従来のマニュアルにより決めたときと、本発明の遺伝的プログラムの手法により決めたときの出力電圧  $V_o$  の誤差の数について、 $0 \sim 0.05\%$  の範囲、 $0.06 \sim 0.10\%$  の範囲、 $0.11 \sim 0.15\%$  の範囲、 $0.16 \sim 0.20\%$  の範囲、 $0.21 \sim 0.25\%$  の範囲、 $0.26 \sim 0.30\%$  の範囲、 $0.31\%$  以上の範囲を比較したものである。本発明による場合の方が、誤差の大きな範囲での該当数が少なくなっている。なお、この誤差の範囲の区別を前記した評価値とすることもできる。

【0038】なお、以上において、突然変異処理は、図

1におけるデータ  $D_3'$  に対してのみでなく、データ  $D_1'$  についても同様に行ってよい。また、図2の回路では抵抗が出力端子と接地VSSとの間に接続されているが電源VDDとの間に接続される場合でも同様に決定できる。

#### 【0039】

【発明の効果】以上から本発明によれば、遺伝的アルゴリズムにより各抵抗について精度の高い抵抗値が残るよう、その抵抗値を決定するので、抵抗値を変化して毎回試行錯誤しながらその抵抗値を決定する場合に比べて、短時間に高精度の抵抗値を決定することができるという利点がある。

#### 【図面の簡単な説明】

【図1】 本発明の遺伝的アルゴリズムの説明図である。

【図2】 本発明を適用する定電圧出力回路の回路図である。

【図3】 本発明の遺伝的アルゴリズムで決定した抵抗値の説明図である。

【図4】 基準出力電圧が  $2.4V$  の場合に図3で決定した抵抗値を使用したとき各値を示す説明図である。

【図5】 基準出力電圧が  $3.5V$  の場合に図3で決定した抵抗値を使用したとき各値を示す説明図である。

【図6】 基準出力電圧が  $5.0V$  の場合に図3で決定した抵抗値を使用したとき各値を示す説明図である。

【図7】 本発明による場合と従来のマニュアルによる場合の誤差に比較説明図である。

【図8】 定電圧出力回路の回路図である。

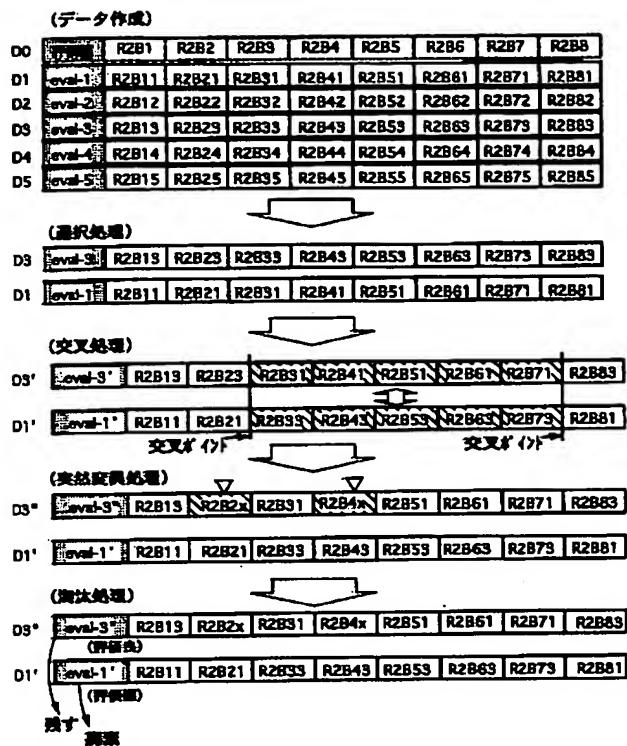
【図9】 3種の基準出力電圧を  $-1\% \sim -30\%$  变化させるとときの抵抗  $R_{2B}$  の抵抗値の変化の特性図である。

#### 【図3】

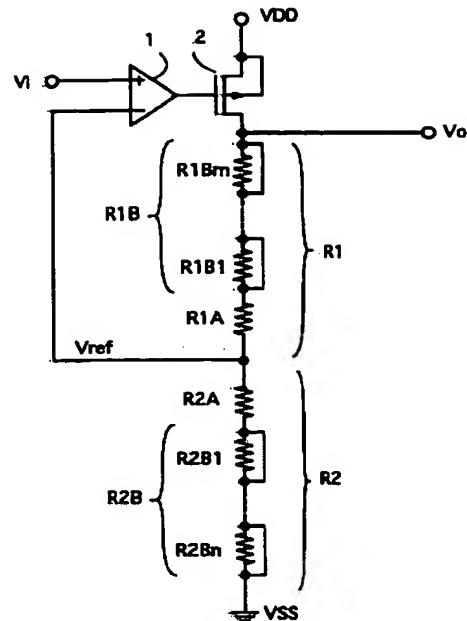
出力電圧  $V_o$  が  $-30\%$  時の抵抗値  $R_{2B} = 1666.67\text{ k}\Omega$  のとき

$R_{2B}$ の分割抵抗	$R_{2B1}$ ( $\text{k}\Omega$ )	$R_{2B2}$ ( $\text{k}\Omega$ )	$R_{2B3}$ ( $\text{k}\Omega$ )	$R_{2B4}$ ( $\text{k}\Omega$ )	$R_{2B5}$ ( $\text{k}\Omega$ )	$R_{2B6}$ ( $\text{k}\Omega$ )	$R_{2B7}$ ( $\text{k}\Omega$ )	$R_{2B8}$ ( $\text{k}\Omega$ )
標準値	7	13	26	52	104	208	417	833
実験範囲	9~9	10~18	19~30	41~61	89~123	166~246	333~449	666~898
決定値	8	12.9	28.8	51.7	107.1	218	444	901.5

【図1】



【図2】



【図4】

出力電圧 Vo (V)	目標値 R2 (kΩ)	アダプタ R2 (kΩ)								計算電圧 Vo (V)	誤差電圧 (V)
		R2B1	R2B2	R2B3	R2B4	R2B5	R2B6	R2B7	R2B8		
-0	2500.00	2500.00								2.40	2.40 0.00
-1	2533.78	2536.80	○		○					2.37	2.38 0.01
-2	2568.49	2564.60		○		○				2.35	2.35 0.00
-3	2604.17	2601.40	○	○	○	○				2.33	2.33 0.00
-4	2640.85	2643.90	○		○		○			2.30	2.30 0.00
-5	2676.57	2679.70	○	○		○	○			2.28	2.28 0.00
-6	2717.89	2718.00					○			2.26	2.26 0.00
-7	2757.95	2759.70	○	○			○			2.23	2.23 0.00
-20	3409.09	3409.50	○						○	1.92	1.92 0.00
-21	3472.22	3474.10	○	○		○			○	1.90	1.90 0.00
-22	3537.74	3537.40			○		○		○	1.87	1.87 0.00
-23	3605.77	3602.00	○	○	○	○			○	1.85	1.85 0.00
-24	3676.47	3679.20	○		○		○		○	1.82	1.82 0.00
-25	3750.00	3745.50	○	○		○	○	○	○	1.80	1.80 0.00
-26	3826.59	3828.00	○	○	○	○	○	○	○	1.78	1.78 0.00
-27	3906.25	3905.20	○		○		○	○	○	1.75	1.75 0.00
-28	3989.36	3989.40	○		○		○	○	○	1.73	1.73 0.00
-29	4076.09	4076.40	○	○		○	○	○	○	1.70	1.70 0.00
-30	4166.67	4164.90	○	○	○	○	○	○	○	1.68	1.68 0.00

【図5】

Vref=0.6V, Vo=3.5V (このときのR1=8285.71kΩ, R2A=1714.29kΩ)

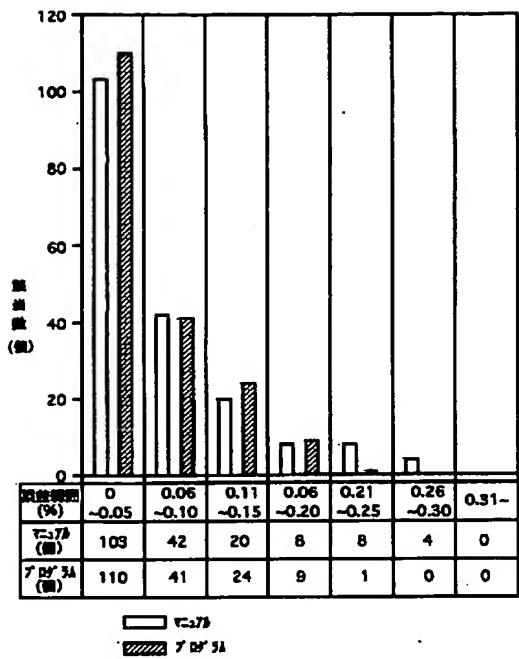
出力電圧 Vo (%)	目標抵抗 R2 (kΩ)	アザフ31 計測抵抗 R2 (kΩ)	R2B1 (kΩ)	R2B2 (kΩ)	R2B3 (kΩ)	R2B4 (kΩ)	R2B5 (kΩ)	R2B6 (kΩ)	R2B7 (kΩ)	R2B8 (kΩ)	アザフ31 計測電圧 Vo (V)	目標電圧 Vo (V)	誤差電圧 (V)
-0	1714.29	1714.29									3.50	3.50	0.00
-1	1735.29	1735.19	○								3.47	3.47	0.00
-2	1756.69	1755.99		○							3.43	3.43	0.00
-3	1778.69	1778.89	○	○							3.39	3.40	0.01
-4	1801.24	1802.79		○							3.36	3.36	0.00
-5	1824.38	1821.38	○	○	○						3.33	3.33	0.00
-6	1848.11	1850.19	○		○	○					3.29	3.29	0.00
-7	1872.48	1873.09	○	○	○	○					2.25	2.26	0.01
-20	2259.74	2259.69	○	○	○	○					2.80	2.80	0.00
-21	2296.27	2294.19		○		○	○				2.77	2.77	0.00
-22	2334.00	2337.99	○	○	○	○	○				2.73	2.73	0.00
-23	2373.00	2376.29			○	○	○	○			2.69	2.70	0.01
-24	2413.31	2413.09	○		○		○	○			2.66	2.66	0.00
-25	2455.03	2456.79		○	○	○	○	○			2.62	2.63	0.01
-26	2488.21	2496.29	○		○	○	○	○			2.59	2.59	0.00
-27	2532.93	2543.09	○		○	○	○	○			2.55	2.56	0.01
-28	2589.29	2584.79	○	○	○	○	○	○			2.52	2.52	0.00
-29	2637.36	2636.89	○	○	○	○	○	○			2.49	2.49	0.00
-30	2682.26	2688.39	○	○	○	○					2.45	2.45	0.00

【図6】

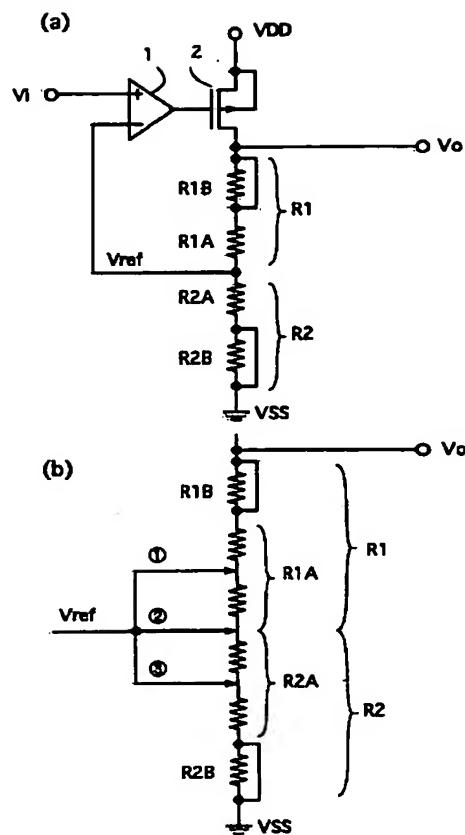
Vref=0.6V, Vo=5.0V (このときのR1=8800kΩ, R2A=1200kΩ)

出力電圧 Vo (%)	目標抵抗 R2 (kΩ)	アザフ31 計測抵抗 R2 (kΩ)	R2B1 (kΩ)	R2B2 (kΩ)	R2B3 (kΩ)	R2B4 (kΩ)	R2B5 (kΩ)	R2B6 (kΩ)	R2B7 (kΩ)	R2B8 (kΩ)	アザフ31 計測電圧 Vo (V)	目標電圧 Vo (V)	誤差電圧 (V)
-0	1200.00	1200.00									5.00	5.00	0.00
-1	1213.79	1212.90	○								4.95	4.95	0.00
-2	1227.91	1228.80		○							4.90	4.90	0.00
-3	1242.35	1241.70	○	○							4.85	4.85	0.00
-4	1257.14	1259.70	○		○						4.79	4.80	0.01
-5	1272.23	1272.60	○	○	○						4.75	4.75	0.00
-6	1287.80	1288.50	○		○	○					4.70	4.70	0.00
-7	1303.70	1301.40	○	○	○	○					4.66	4.65	0.01
-20	1552.94	1559.90		○		○	○				4.00	4.00	0.00
-21	1576.12	1578.80			○	○	○	○			3.95	3.95	0.00
-22	1600.00	1597.70	○	○	○	○	○	○			3.90	3.90	0.00
-23	1624.82	1626.50	○	○	○	○	○	○			3.85	3.85	0.00
-24	1650.00	1652.00	○						○		3.80	3.80	0.00
-25	1676.19	1672.80		○					○		3.76	3.75	0.01
-26	1703.23	1703.70	○		○				○		3.70	3.70	0.00
-27	1731.15	1732.50	○		○	○			○		3.65	3.65	0.00
-28	1760.00	1759.10	○			○			○		3.60	3.60	0.00
-29	1789.83	1787.90	○		○	○			○		3.55	3.55	0.00
-30	1820.69	1823.70	○	○	○	○			○		3.50	3.50	0.00

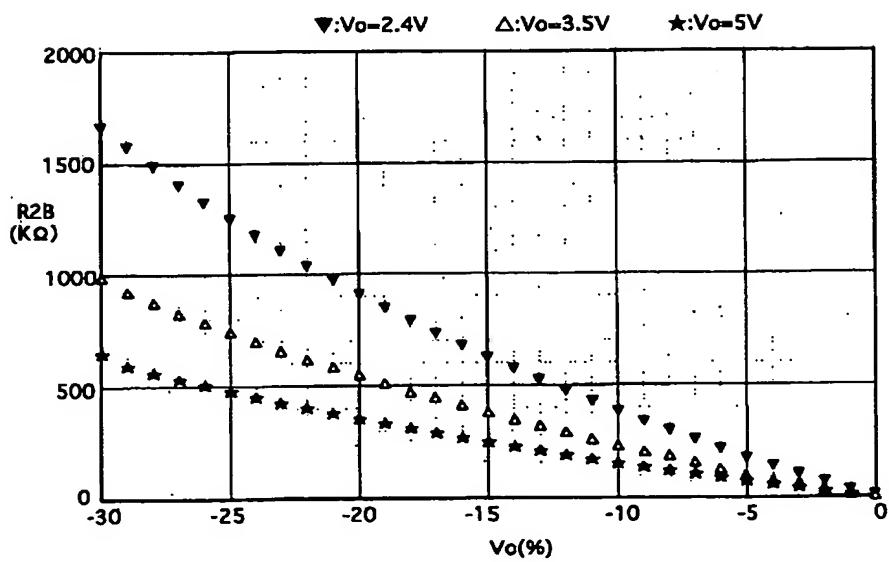
【図7】



【図8】



【図9】



## フロントページの続き

(72) 発明者 秋田 晋一  
埼玉県上福岡市福岡2丁目1番1号 株式  
会社エヌ・ジェイ・アールセミコンダクタ  
内

F ターム(参考) 5H430 BB01 BB05 BB09 BB11 EE06  
FF02 FF13 GG01 HH03 JJ04